컴퓨터구조 3주차 실습 레포트 융합전자공학부 2019043890 이창민

|  |
| --- |
| //testbench module blk\_vs\_nblk;  reg clk,d1,d2,d3,d4;  wire out1,out2,out3,out4;    blk1 blk1(clk,d1,q1);  blk2 blk2(clk,d2,q2);  non\_blk1 non\_blk1(clk,d3,q3);  non\_blk2 non\_blk2(clk,d4,q4);  initial begin  clk=0;  forever begin  #10 clk=~clk;  end  end  initial begin  d1=1; d2=1; d3=1; d4=1;  #50 d1=0; d2=0; d3=0; d4=0;  #50 d1=1; d2=1; d3=1; d4=1;  #50 d1=0; d2=0; d3=0; d4=0;  #50 d1=1; d2=1; d3=1; d4=1;  #50 d1=0; d2=0; d3=0; d4=0;  #50 d1=1; d2=1; d3=1; d4=1;  #50 $finish;  end  initial begin  $dumpfile("dump.vcd");  $dumpvars;  end  endmodule |
| //design  module blk1 (clk,d,q3);  input clk;  input d;  output q3;  reg q0,q1, q2, q3;  always @(posedge clk)begin  q0=d;  q1=q0;  q2=q1;  q3=q2;  end  endmodule  //blk1은 결과적으로 q0,q1,q2,q3에 모두 d가 들어간다.  module blk2 (clk,d,q3);  input clk;  input d;  output q3;  reg q0,q1, q2, q3;  always @(posedge clk)begin  q3=q2;  q2=q1;  q1=q0;  q0=d;  end  endmodule  //blk1은 결과적으로 q0,q1,q2,q3에 모두 q3가 들어간다.  module non\_blk1 (clk,d,q3);  input clk;  input d;  output q3;  reg q0,q1, q2, q3;  always @(posedge clk)begin  q0<=d;  q1<=q0;  q2<=q1;  q3<=q2;  end  endmodule  //non\_blk1은 결과적으로 q0에 d, q1에 q2...로 들어간다. 즉 q3는 q2가 됨  module non\_blk2 (clk,d,q3);  input clk;  input d;  output q3;  reg q0,q1, q2, q3;  always @(posedge clk)begin  q3<=q2;  q2<=q1;  q1<=q0;  q0<=d;  end  endmodule  //non\_blk2은 non\_blk1와 같다. |
| q1 q2 q3 q4 중에 두번째부터 차례대로 blk1, blk2, non\_blk1, non\_blk2  (노트북에 용량이 없어서 <https://edaplayground.com/home> 에서 돌렸습니다.) |
| [설명]  design에 주석으로 설명했듯이  blk1은 결과적으로 q0,q1,q2,q3에 모두 d가 들어간다. 위 표를 보면 매 클락마다 정상적으로 같이 변하는걸 볼 수 있다.  blk2은 q n값에 q n-1값이 순차적으로 하나씩 들어가기 때문에 매 클락마다 하나씩 차례로 들어가기 때문에 결과적으로 그림같이 나온다. 그래서 변화가 생겨도 다음 매 클락이 되서야 변화가 생긴다.  non\_blk1와 non\_blk2는 순서에 상관없이 동시에 실행되기 때문에 각각의 값이 각각의 값에 들어가기 때문에 그림같이 된다. 결과적으로 보면 blk2, non\_blk1 그리고 non\_blk2가 같은 결과를 갖게 된다는걸 알 수 있다. |